

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2005 年 6 月 16 日 (16.06.2005)

PCT

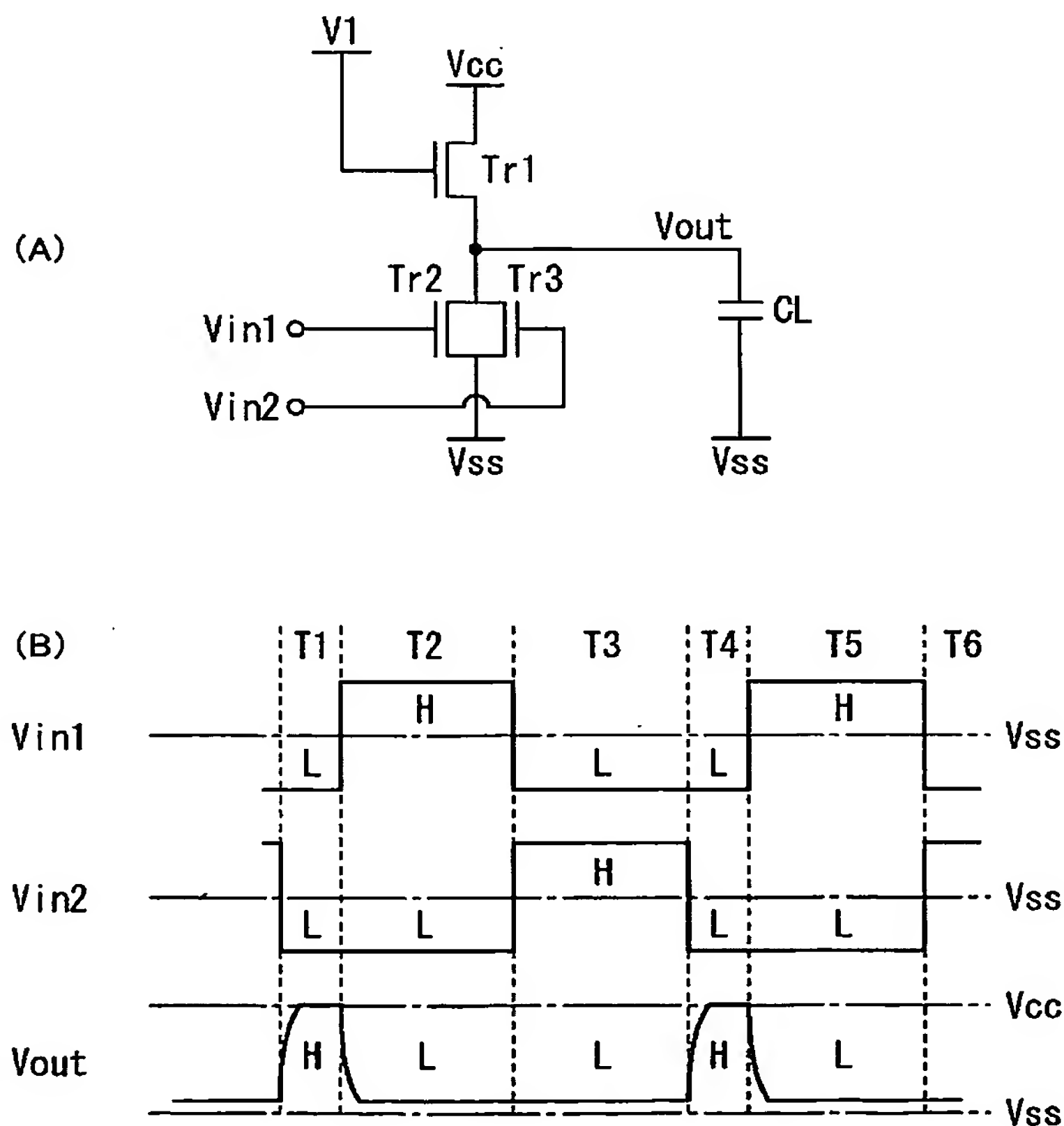
(10) 国際公開番号
WO 2005/055184 A1

- (51) 国際特許分類⁷: G09G 3/30, 3/20, H05B 33/14
(21) 国際出願番号: PCT/JP2004/018334
(22) 国際出願日: 2004 年 12 月 2 日 (02.12.2004)
(25) 国際出願の言語: 日本語
(26) 国際公開の言語: 日本語
(30) 優先権データ:
特願 2003-402673 2003 年 12 月 2 日 (02.12.2003) JP
(71) 出願人 (米国を除く全ての指定国について): ソニー株式会社 (SONY CORPORATION) [JP/JP]; 〒1410001 東京都品川区北品川 6 丁目 7 番 3 5 号 Tokyo (JP).
(72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 内野 勝秀 (UCHINO, Katsuhide). 山下 淳一 (YAMASHITA, Junichi).
(74) 代理人: 中村 友之 (NAKAMURA, Tomoyuki); 〒1050001 東京都港区虎ノ門 1 丁目 2 番 3 号虎ノ門第一ビル 9 階 三好内外国特許事務所内 Tokyo (JP).
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG,

[続葉有]

(54) Title: TRANSISTOR CIRCUIT, PIXEL CIRCUIT, DISPLAY DEVICE, AND DRIVE METHOD THEREOF

(54) 発明の名称: トランジスタ回路、画素回路、表示装置及びこれらの駆動方法



(57) Abstract: There is provided a transistor circuit having a function to correct fluctuation of a threshold voltage of a thin film transistor. The transistor circuit includes a plurality of thin film transistors (Tr1 to Tr3) formed on a substrate and a wire connecting a transistor gate, source, or drain in such a manner that a predetermined operation can be obtained. During an operation, a forward bias is applied repetitively or continuously to the wire between the gate and the source of the thin film transistor (Tr2). At a timing not disturbing the operation, backward bias is applied to the wire between the gate and the source of the transistor (Tr2) so as to suppress fluctuation of the threshold voltage. More specifically, an additional transistor (Tr3) connected in parallel to the transistor (Tr2) is driven for compensation so as to create the aforementioned timing not disturbing the operation and apply a backward bias to the transistor (Tr2) at the timing created.

(57) 要約: 薄膜トランジスタの閾電圧の変動を補正する機能を自ら備えたトランジスタ回路を提供する。トランジスタ回路は、基板に形成された複数の薄膜トランジスタ (Tr1~Tr3) と、所定の動作を行なう様に各トランジスタのゲート、ソース又はドレインを接続する配線とを含む。動作中、薄膜トランジスタ (Tr2) には、配線を介してゲートと

ソースの間に反復的若しくは持続的に順バイアスがかかる。動作

[続葉有]



SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ,
VC, VN, YU, ZA, ZM, ZW.

OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML,
MR, NE, SN, TD, TG).

(84) 指定国 (表示のない限り、全ての種類の広域保護
が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA,
SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ,
BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE,
BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU,
IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR),

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される
各PCTガゼットの巻頭に掲載されている「コードと略語
のガイダンスノート」を参照。

の妨げとならないタイミングでトランジスタ (Tr 2) のゲートとソースの間に逆バイアスを印加してその閾電
圧の変動を抑制する。具体的には、トランジスタ (Tr 2) に並列接続した追加トランジスタ (Tr 3) を補完
的に駆動して上記した動作の妨げとならないタイミングを作り出し、該作り出されたタイミングでトランジスタ
(Tr 2) に逆バイアスを印加する。